

Ref-5

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-16289

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)1月24日

G 11 C 7/00
8/00

6549-5B
6549-5B

審査請求 未請求 発明の数 1 (全2頁)

⑮ 発明の名称 読出し専用メモリ

⑯ 特 願 昭60-157413

⑰ 出 願 昭60(1985)7月16日

⑱ 発 明 者 三 瀬 誠 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

読出し専用メモリ

2. 特許請求の範囲

チップ選択モードとチップ非選択モードとを有しアドレス多重化方式を用いる読出し専用メモリにおいて、

アドレス信号入力端子をチップ選択信号入力端子に共用することを特徴とする読出し専用メモリ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は読出し専用メモリに関し、特にチップ選択モードとチップ非選択モードとを有しアドレス多重化方式を用いる読出し専用メモリに関する。(従来の技術)

読出し専用メモリ(以下ROMという)において、アドレス信号入力端子の数を減らすためにア

ドレス多重化方式を用いることがある。また、最近の一つのCPUが複数のROMを使用することが多くなっている。そのうちの一つをチップ選択信号で選択できるように、チップ選択モードとチップ非選択モードをチップ選択信号で切替えられるようにしたROMがある。

従来のかかるROMはアドレス信号入力端子とチップ選択信号入力端子とを別個にもっていた。(発明が解決しようとする問題点)

複数のROMを使用するCPUにとって、チップ選択信号をROMのアドレス信号と一体にして扱うことができれば、両信号のビット数の和のビット数をもつ一つのアドレス信号で複数のROMを一体にして使用できるが、従来のROMは両信号を別の端子から入力するので両信号入力線の接続を同じにできず不便である。またアドレス多重化方式を用いて端子数を減少しようとするにもかわらず、チップ選択信号入力端子としての端子数はそのままである。

以上説明したように、チップ選択モードとチ

プ非選択モードとを有しアドレス多重化方式を用いる従来のROMは、チップ選択信号をアドレス信号と一体にして扱うのに不便であるという欠点があり、また端子数がチップ選択信号入力端子に関しては従来のままであるという欠点がある。

本発明の目的は、上記欠点を解決してチップ選択信号をアドレス信号と一体して入力することができ、かつ端子数の少ないROMを提供することにある。

〔問題点を解決するための手段〕

本発明の脱出し専用メモリは、チップ選択モードとチップ非選択モードとを有しアドレス多重化方式を用いる脱出し専用メモリにおいて、アドレス信号入力端子をチップ選択信号入力端子に共用して構成される。

〔実施例〕

以下、図面を参照して本発明について詳細に説明する。

第1図は、本発明の一実施例の動作を説明するための説明図である。

ンが一致すればこの実施例はチップ選択モードとなり、一致しなければチップ非選択モードとなる。

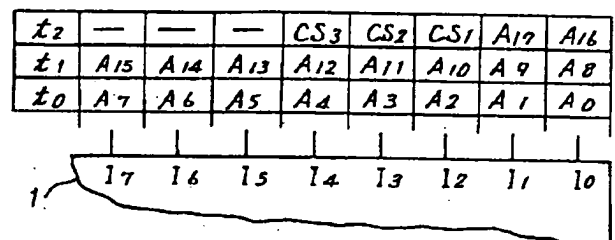
〔発明の効果〕

以上詳細に説明したように、本発明のROMはアドレス信号入力端子をチップ選択信号入力端子に共用するという手段を用いるので、データバスからアドレス信号およびチップ選択信号を入力する際チップ選択信号をアドレス信号の一部として一体に扱うことができるという効果があり、またこれら信号を入力するデータバスをアドレス信号入力端子に直結できるので外付け部品が不要であるという効果があり、さらに端子数を減少できるので端子数の少ない低コストなケースを使用することができるという効果がある。

この実施例は、256Kワード×8ビットの記憶容量をもつROMであり、アドレス信号およびチップ選択信号を入力する8本の端子 $I_0 \sim I_7$ をもっている。

$256 \times 1024 = 2^{18}$ だからアドレス信号は18ビットとなり、これを $(A_{17}, A_{16}, \dots, A_1, A_0)$ と表す。チップ選択信号は一例として3ビットであるとし、これを (CS_3, CS_2, CS_1) と表す。

アドレス信号 $(A_{17}, A_{16}, \dots, A_1, A_0)$ を、8ビットのバス(図示していない)を介して端子 $I_0 \sim I_7$ から、第1図に図示するようにタイミング1, 1, 1, の3回に分けて入力する。チップ選択信号 (CS_3, CS_2, CS_1) は、アドレス信号 $(A_{17}, A_{16}, \dots, A_1, A_0)$ の最上位桁のさらに上の桁に対応するものとして、タイミング1, に端子 $I_8 \sim I_{10}$ から入力される。内蔵するチップ選択信号パターンに、入力したチップ選択信号 (CS_3, CS_2, CS_1) 、すなわちタイミング1, に端子 $I_8 \sim I_{10}$ から入力した信号のパタ



1: 4-ス

$I_0 \sim I_7$: 端子

$(A_{17}, A_{16}, \dots, A_1, A_0)$: アドレス信号

(CS_3, CS_2, CS_1) : チップ選択信号

$\bar{A}_0 \sim \bar{A}_2$: タイミング

第 1 図

4. 図面の簡単な説明

第1図は、本発明の一実施例の動作を説明するための説明図である。

1: ケース、 $I_0 \sim I_7$: 端子。

代理人 弁理士 内 原 晋